

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

AE

(11)Publication number : 08-036526

(43)Date of publication of application : 06.02.1996

(51)Int.Cl. G06F 12/08
G06F 13/18
G06F 15/163

(21)Application number : 06-170608

(71)Applicant : NEC GUMMA LTD

(22)Date of filing : 22.07.1994

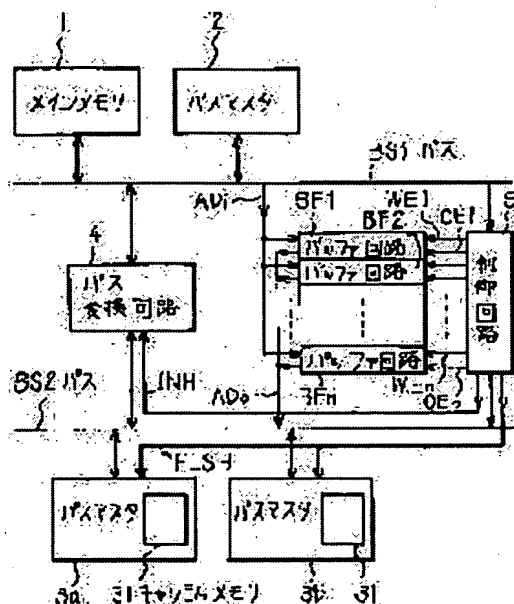
(72)Inventor : HIROMOTO SATORU

(54) INFORMATION PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To speed up the operation at the time of the writing of data to a main memory by a 1st bus master and improve the system performance.

CONSTITUTION: When the data are written in the main memory 1, a 1st bus master 2 acquires the right to use only the 1st bus BS1 and sends a write control signal, an address signal, and data to the 1st bus BS1. This system is provided with buffer circuits BF1-BFn which hold the address signal on the 1st bus BS1 in response to the write control signal sent to the 1st bus BS1 and send it to a 2nd bus BS2 at a specific timing together with the write control signal, and a control circuit 5. The 2nd bus masters 3a and 3b invalidate corresponding data in a cache memory 31 according to the write control signal and address signal on the 2nd bus BS2.



LEGAL STATUS

[Date of request for examination] 22.07.1994

[Date of sending the examiner's decision of rejection] 25.02.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-36526

(43) 公開日 平成8年(1996)2月6日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/08	3 1 0 B	7623-5B		
13/18	5 1 0 B	7623-5B		
15/163				
			G 0 6 F 15/ 16	3 2 0 K
			審査請求 有	請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平6-170608

(22) 出願日 平成6年(1994)7月22日

(71) 出願人 000165033

群馬日本電気株式会社

群馬県太田市西矢島町32番地

(72) 発明者 廣本 哲

群馬県太田市大字西矢島32番地 群馬日本
電気株式会社内

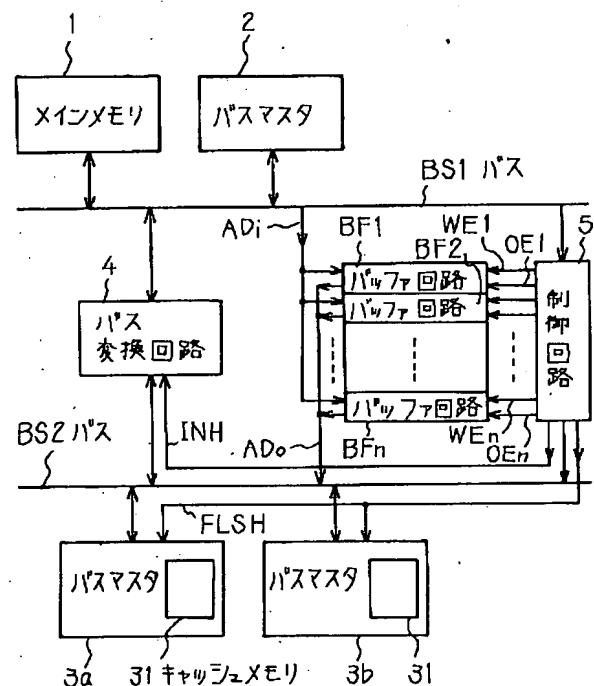
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 情報処理システム

(57) 【要約】

【目的】 第1のバスマスタによるメインメモリへのデータの書き込み時の動作の高速化、システム性能の向上をはかる。

【構成】 メインメモリ1へのデータの書き込み時、第1のバスマスタ2は第1のバスBS1のみの使用权を獲得して第1のバスBS1に書き込み制御信号、アドレス信号、データを送出する。第1のバスBS1に伝達された書き込み制御信号にตอบสนองして第1のバスBS1上のアドレス信号を保持し所定のタイミングで第2のバスBS2に書き込み制御信号と共に送出するバッファ回路BF1~BFn及び制御回路5を設ける。第2のバスマスタ3a、3bは、第2のバスBS2上の書き込み制御信号及びアドレス信号に従ってキャッシュメモリ31の対応データを無効化する。



1

【特許請求の範囲】

【請求項1】 データ、アドレス信号、並びに書込み制御信号及び読出し制御信号を含む各種制御信号から成る各種信号を伝達する第1及び第2のバスと、前記第1のバスと接続しこの第1のバスに伝達された読出し制御信号及びアドレス信号に従って記憶データを読出して前記第1のバスに送出しこの第1のバスに伝達された書込み制御信号、アドレス信号及びデータに従ってデータの書込みを行うメインメモリと、このメインメモリをアクセスするとき前記第1のバスの使用権を獲得してこの第1のバスに書込み制御信号、アドレス信号及びデータを送出して前記メインメモリへのデータの書込みを行い、前記第1のバスに読出し制御信号及びアドレス信号を送出してこの第1のバスに伝達されたデータを取込み所定の処理を行う第1のバスマスタと、前記第1及び第2のバス間の各種信号の伝達制御を行うと共に禁止信号が伝達されると前記各種信号の伝達を停止するバス変換回路と、キャッシュメモリを備えこのキャッシュメモリに処理対象のデータが存在しないときには前記第1及び第2のバスの使用権を獲得して前記メインメモリをアクセスして前記第2のバスに伝達されたデータを取込み前記キャッシュメモリに記憶し所定の処理を行い、前記第2のバスに前記メインメモリに対する書込み制御信号及びアドレス信号が伝達されたときにはこのアドレス信号と対応する前記キャッシュメモリのデータを無効化する第2のバスマスタと、書込み信号がアクティブレベルになると前記第1のバスに伝達された前記第1のバスマスタからのアドレス信号を保持し読出し信号がアクティブレベルになるとこの保持しているアドレス信号を前記第2のバスに伝達するバッファ回路と、前記第1のバスに前記第1のバスマスタからの前記メインメモリに対する書込み制御信号が伝達されると前記書込み信号をアクティブレベルとした後所定のタイミングで前記読出し信号をアクティブレベルとすると共に前記第2のバスに前記第1のバスマスタからの前記メインメモリに対する書込み制御信号と前記禁止信号とを伝達する制御回路とを有することを特徴とする情報処理システム。

【請求項2】 複数のバッファ回路を備え、これら複数のバッファ回路全てに第2のバスへの伝達前のアドレス信号が保持されているときに第1のバスマスタによるメインメモリに対する次の書込み制御信号が第1のバスに伝達されたときには、制御回路からフラッシュ信号を発生し、このフラッシュ信号により第2のバスマスタのキャッシュメモリのデータを無効化するようにした請求項1記載の情報処理システム。

【請求項3】 複数のバッファ回路を備え、これら複数のバッファ回路の記憶しているアドレスが第2のバスに伝達されるとそのバッファ回路を空き状態として次のアドレス信号が保持できるようにした請求項1記載の情報処理システム。

2

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理システムに関し、特にメインメモリを共有する複数のバスマスタを備えた情報処理システムに関する。

【0002】

【従来の技術】 メインメモリを共有する多数のバスマスタを備えた情報処理システムにおいては、これらバスマスタの全てを一つのバスに接続することは、電氣的、物理的に困難な上、メインメモリと同一のバスと接続するバスマスタは高速動作が要求されて高価となるため、メインメモリと同一のバスと接続するバスマスタの数を極力少なくし、他のバスマスタは比較的低速で安価なものとして接続するバスを別にし、バス変換回路を介してメインメモリをアクセスする構成とすることにより、システム価格を抑える手法が一般的に採用されている。メインメモリが接続されたバスとは異なるバスに接続されたバスマスタは、それ自身低速である上、2つのバス及びバス変換回路を介してメインメモリをアクセスするため、メモリアクセスに時間がかかり、システム全体の動作速度が低下してしまう。そこで、これらバスマスタは通常、キャッシュメモリを備えている。

【0003】 従来のこの種の情報処理システムの一例を図2に示す。

【0004】 この情報処理システムは、データ、アドレス信号、及び書込み制御信号や読出し制御信号等の各種制御信号を含む各種信号を伝達する第1及び第2のバスBS1、BS2と、第1のバスBS1と接続しこの第1のバスに伝達された読出し制御信号及びアドレス信号に従ってこのアドレス信号の指定アドレスから記憶データ読出して第1のバスBS1に読出し書込み制御信号及びアドレス信号に従ってこのアドレス信号の指定アドレスに伝達されたデータを記憶するメインメモリ1と、このメインメモリ1をアクセスするとき第1及び第2のバスの使用権を獲得して第1のバスBS1に書込み制御信号、アドレス信号及びデータを送出しメインメモリ1へのデータの書込みを行い、読出し制御信号及びアドレス信号を送出してメインメモリ1から読出されたデータを取込み所定の処理を行う第1のバスマスタ2xと、第1及び第2のバスBS1、BS2間の各種信号の伝達制御を行うバス変換回路4xと、キャッシュメモリ31を備えこのキャッシュメモリ31に処理対象のデータが記憶されておらずメインメモリ1をアクセスするときには第1及び第2のバスBS1、BS2の使用権を獲得して第2のバスBS2に読出し制御信号及びアドレス信号を送出してメインメモリ1から読出されたデータを取込んでキャッシュメモリ31に記憶すると共に所定の処理を行い、メインメモリ1へのデータの書込みが生じたときには書込み制御信号、アドレス信号及びデータを第2のバスBS2に送出し、第2のバスに他のバスマスタによる

3
メインメモリ1への書込み制御信号、アドレス信号が伝達されたときにはそのアドレス信号の指定アドレスと対応するキャッシュメモリ31のデータを無効にする複数の第2のバスマスタ3x、3yとを有する構成となっている。

【0005】この情報処理システムにおいては、第1のバスマスタ2xによるメインメモリ1へのデータの書込みが発生すると、第1のバスマスタ2xは第1及び第2のバスBS1、BS2両方の使用権を獲得し第1のバスBS1に書込み制御信号、アドレス信号及びデータを送出する。そして、メインメモリ1へのデータの書込みが行なわれると共に、第1のバスBS1からバス変換回路4xを介して第2のバスBS2に伝達された書込み制御信号及びアドレス信号により、第2のバスマスタ3a、3yのキャッシュメモリ31の対応するデータが無効化される。こうして、メインメモリ1の記憶内容とキャッシュメモリ31の記憶内容との一貫性を保つことができる。この第1のバスマスタ2xのバスの使用権の獲得は、まず第2のバスBS2の使用権を獲得した後第1のバスの使用権を獲得するという手順で行なわれる。

【0006】なお、メインメモリ1及びキャッシュメモリ31の記憶内容の一貫性を保つ方法としては、このほかに、キャッシュメモリ31を使用できなくする方法がある。

【0007】

【発明が解決しようとする課題】上述した従来の情報処理システムでは、第1のバスマスタ2xによりメインメモリ1へのデータの書込みが行なわれる場合、メインメモリ1及び第2のバスマスタ3a、3yのキャッシュメモリ31のデータの一貫性を保つために、第1のバスマスタ2xは第2のバスBS2の使用権を獲得した後第1のバスBS1の使用権を獲得してキャッシュメモリ31の対応するデータを無効化するか、キャッシュメモリ31が使用できないようにする構成となっているので、バスの使用権獲得等に時間がかかり高速動作ができないという欠点があり、また、キャッシュメモリ31が使用できなくなったときには、第2のバスマスタ3x、3yは第1、第2のバスBS1、BS2を獲得してメインメモリ1をアクセスしなければならないので、同様に高速動作ができず、システム性能が低下するという欠点がある。

【0008】本発明の目的は、第1のバスマスタによるメインメモリへのデータの書込みが発生したときの動作の高速化、システム性能の向上をはかることができる情報処理システムを提供することにある。

【0009】

【課題を解決するための手段】本発明の情報処理システムは、データ、アドレス信号、並びに書込み制御信号及び読出し制御信号を含む各種制御信号から成る各種信号を伝達する第1及び第2のバスと、前記第1のバスと接

4
続しこの第1のバスに伝達された読出し制御信号及びアドレス信号に従って記憶データを読出して前記第1のバスに送出しこの第1のバスに伝達された書込み制御信号、アドレス信号及びデータに従ってデータの書込みを行うメインメモリと、このメインメモリをアクセスするとき前記第1のバスの使用権を獲得してこの第1のバスに書込み制御信号、アドレス信号及びデータを送出して前記メインメモリへのデータの書込みを行い、前記第1のバスに読出し制御信号及びアドレス信号を送出してこの第1のバスに伝達されたデータを取込み所定の処理を行う第1のバスマスタと、前記第1及び第2のバス間の各種信号の伝達制御を行うと共に禁止信号が伝達されると前記各種信号の伝達を停止するバス変換回路と、キャッシュメモリを備えこのキャッシュメモリに処理対象のデータが存在しないときには前記第1及び第2のバスの使用権を獲得して前記メインメモリをアクセスして前記第2のバスに伝達されたデータを取込み前記キャッシュメモリに記憶し所定の処理を行い、前記第2のバスに前記メインメモリに対する書込み制御信号及びアドレス信号が伝達されたときにはこのアドレス信号と対応する前記キャッシュメモリのデータを無効化する第2のバスマスタと、書込み信号がアクティブレベルになると前記第1のバスに伝達された前記第1のバスマスタからのアドレス信号を保持し読出し信号がアクティブレベルになるとこの保持しているアドレス信号を前記第2のバスに伝達するバッファ回路と、前記第1のバスに前記第1のバスマスタからの前記メインメモリに対する書込み制御信号が伝達されると前記書込み信号をアクティブレベルとした後所定のタイミングで前記読出し信号をアクティブレベルとすると共に前記第2のバスに前記第1のバスマスタからの前記メインメモリに対する書込み制御信号と前記禁止信号とを伝達する制御回路とを有している。

【0010】また、複数のバッファ回路を備え、これら複数のバッファ回路全てに第2のバスへの伝達前のアドレス信号が保持されているときに第1のバスマスタによるメインメモリに対する次の書込み制御信号が第1のバスに伝達されたときには、制御回路からフラッシュ信号を発生し、このフラッシュ信号により第2のバスマスタのキャッシュメモリのデータを無効化するようにして構成される。

【0011】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0012】図1は本発明の一実施例を示すブロック図である。

【0013】この実施例は、データ、アドレス信号、並びに書込み制御信号及び読出し制御信号を含む各種制御信号から成る各種信号を伝達する第1及び第2のバスBS1、BS2と、第1のバスBS1と接続しこの第1のバスBS1に伝達された読出し制御信号及びアドレス信号

5
に従って記憶データを読み出して第1のバスBS1に送出しこの第1のバスBS1に伝達された書込み制御信号、アドレス信号及びデータに従ってデータの書込みを行うメインメモリ1と、このメインメモリ1をアクセスするとき第1のバスBSの使用権を獲得してこの第1のバスBS1に書込み制御信号、アドレス信号及びデータを送出してメインメモリ1へのデータの書込みを行い、第1のバスBS1に読出し制御信号及びアドレス信号を送出してこの第1のバスBS1に伝達されたデータを取込み所定の処理を行う第1のバスマスタ2と、第1及び第2のバスBS1、BS2間の各種信号の伝達制御を行うと共に禁止信号INHが伝達されると上記各種信号の伝達を停止するバス変換回路4と、キャッシュメモリ31を備えこのキャッシュメモリ31に処理対象のデータが存在しないときには第1及び第2のバスBS1、BS2の使用権を獲得してメインメモリ1をアクセスして第2のバスBS2に伝達されたデータを取込みキャッシュメモリ31に記憶し所定の処理を行い、第2のバスBS2にメインメモリ1に対する書込み制御信号及びアドレス信号が伝達されたときにはこのアドレス信号と対応するキャッシュメモリ31のデータを無効化し、かつフラッシュ信号FLSHが第2のバスに伝達されるとキャッシュメモリ31を無効化する第2のバスマスタ3a、3bと、対応する書込み信号(WE1~WEn)がアクティブレベルになると第1のバスBS1に伝達された第1のバスマスタ2からのアドレス信号を保持し対応する読出し信号(OE1~OEn)がアクティブレベルになるとこの保持しているアドレス信号を第2のバスBS2に伝達する複数のバッファ回路BF1~BFnと、第1のバスBS1に第1のバスマスタ2からのメインメモリ1に対する書込み制御信号が伝達されると書込み信号WE1~WEnのうちの1つをアクティブレベルとした後所定のタイミングで読出し信号OE1~OEnのうちの所定の読出し信号をアクティブレベルとすると共に第2のバスBS2に第1のバスマスタ2からのメインメモリ1に対する書込み制御信号と禁止信号INHとを伝達しかつ複数のバッファ回路BF1~BFn全てに第2のバスBS2への伝達前のアドレス信号が保持されているときに第1のバスマスタ2によるメインメモリ1に対する次の書込み制御信号が第1のバスBS1に伝達されたときにはフラッシュ信号FLSHを発生して第2のバスBS2に伝達する制御回路5とを有する構成となっている。

【0014】次に、この実施例の動作について、第1のバスマスタ2によりメインメモリ1にデータが書込まれるときの動作を中心に説明する。

【0015】第1のバスマスタ2によりメインメモリ1にデータが書込まれる場合には、制御回路5は、この第1のバスマスタ2から伝達された第1のバスBS1上のメインメモリ1への書込み制御信号を認識し、まず書込み信号WE1をアクティブレベルとする。この書込み信

6
号WE1のアクティブレベルにตอบสนองしてバッファ回路BF1は、第1のバスマスタ2から伝達された第1のバスBS1上のアドレス信号ADiを取込み保持する。

【0016】この後、制御回路5は、第1のバスマスタ2から伝達された第1のバスBS1上のメインメモリ1への書込み制御信号を第2のバスBS2に伝達すると共に、読出し信号OE1をアクティブレベルとし、また禁止信号INHを発生して第2のバスに送出する。この読出し信号OE1のアクティブレベルにตอบสนองして、バッファ回路BF1は保持しているアドレス信号を第2のバスBS2に送出する。第2のバスマスタ3a、3bは、第2のバスBS2に伝達された第1のバスマスタ2によるメインメモリ1への書込み制御信号を認識し、第2のバスBS2に伝達された第1のバスマスタ2によるメインメモリ1への書込み制御信号を認識し、第2のバスBS2に伝達されたバッファ回路BF1からのアドレス信号ADoと対応するキャッシュメモリ31のデータを無効化する。一方、バス変換回路4は、禁止信号INHにตอบสนองして第1、第2のバスBS1、BS2間の各種信号の伝達を停止し、各部の動作の安定化をはかる。

【0017】こうして、第1のバスマスタ2は、第1のバスBS1の使用権を獲得して第1のバスBSにメインメモリ1への書込み制御信号、アドレス信号、及びデータを送出するだけでメインメモリ1へのデータの書込みができ、かつ、制御回路5及びバッファ回路BF1~BFnによって、メインメモリ1へのデータの書込みと並行して第2のバスマスタ3a、3bのキャッシュメモリ31の対応するデータを無効化することができるので、動作の高速化をはかることができる。また、キャッシュメモリ31の上記対応するデータ以外は無効であるので、これらデータによる処理は可能であり、この場合も高速動作させることができ、システム性能を向上させることができる。

【0018】ただし、第1のバスマスタ2によるメインメモリ1へのデータの書込みと、バッファ回路BF1~BFnからの第2のバスBS2へのアドレス信号ADoの伝達とは非同期であり、第2のバスBS2へのアドレス信号ADoの伝達後はクリアして空き状態にしたとしても、第1のバスマスタ2によるメインメモリ1へのデータの書込みが次から次へと連続して行なわれると、バッファ回路BF1~BFnへの第1のバスBS1からのアドレス信号ADiの取込み保持は第1のバスマスタ2の書込み動作と同期しているため、バッファ回路BF1~BFn全てに第2のバスBS2への伝達前のアドレス信号が保持される状態が生じることもあり、このようなときに第1のバスマスタ2によるメインメモリ1への書込みが行なわれると、データの一貫性が保持できなくなる。そこで、制御回路5はフラッシュ信号FLSHを発生し、第2のバスマスタ3a、3bのキャッシュメモリ31のデータを無効化するようにしている。

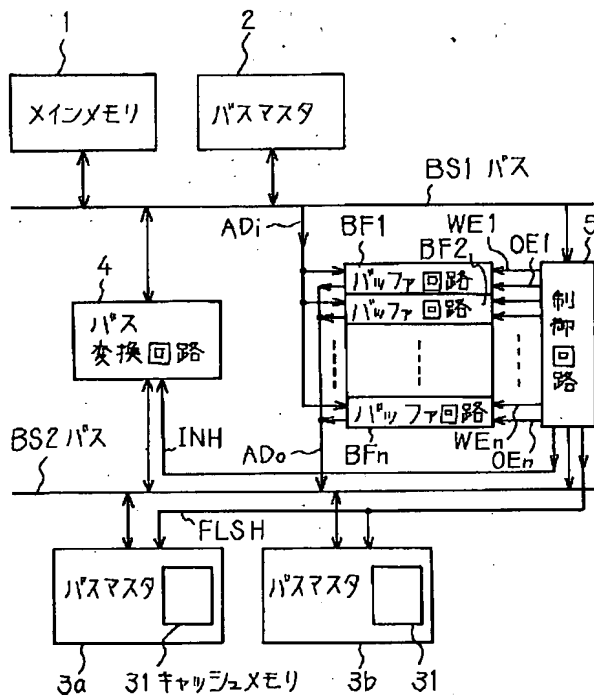
7

【0019】

【発明の効果】以上説明したように本発明は、第1のバスマスタによるメインメモリへのデータの書き込み時に、第1のバスマスタは、第1のバスのみの使用权を獲得してメインメモリへの書き込み制御信号、アドレス信号及びデータを第1のバスに送出してメインメモリへのデータの書き込みを行い、第2のバスマスタのキャッシュメモリの対応するデータの無効化は、第1のバスに伝達された第1のバスマスタからのアドレス信号をバッファ回路に保持して、メインメモリへのデータの書き込みとは非同期かつ並行して行う構成とすることにより、従来例のような第1のバスマスタによる第2のバスの使用权まで獲得する必要がなくなるのでその分の時間が短縮でき、かつメインメモリへのデータの書き込みとキャッシュメモリの対応データの無効化とが並行して行なわれるので、動作の高速化をはかることができ、かつ、バッファ回路があ

10

【図1】



8

ふれるまではキャッシュメモリの上記対応データ以外は有効であるので動作の高速化及びシステム性能の向上をはかることができる効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例を示すブロック図である。

【図2】 従来の情報処理システムの一例を示すブロック図である。

【符号の説明】

- 1 メインメモリ
- 2, 2x, 3a, 3b, 3x, 3y バスマスタ
- 4, 4x バス変換回路
- 5 制御回路
- 31 キャッシュメモリ
- BF1～BFn バッファ回路
- BS1, BS2 バス

【図2】

